

PAT-NO: JP404042513A

DOCUMENT-IDENTIFIER: JP 04042513 A

TITLE: **INDUCTANCE** COMPONENT AND MANUFACTURE THEREOF

PUBN-DATE: February 13, 1992

INVENTOR-INFORMATION:

NAME

**IBATA**, AKIHIKO

MATSUTANI, SHINYA

KAWAMATA, HAJIME

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

N/A

APPL-NO: JP02150931

APPL-DATE: June 8, 1990

INT-CL (IPC): H01F019/02, H01F001/34 , H01F010/26 , H01F017/04 ,  
H01F041/02

US-CL-CURRENT: 29/602.1, **336/234**

ABSTRACT:

PURPOSE: To obtain an **inductance** component adapted to operate in a high frequency and having very small power loss by providing a coil on a magnetic element formed by alternately laminating one or more types of an insulator layer, a dielectric layer and a nonmagnetic layer or a layer of mixture, and ferrite magnetic layers.

CONSTITUTION: Even if a ferrite magnetic layer 1 of a magnetic element 15 is replaced with a laminated structure having an insulator layer 2, a dielectric layer or a nonmagnetic layer, further a layer of the mixture or two or more types of layers instead of the layer 2, its iron loss is similarly very small. In a structure in which a layer having high matching properties to the layer 1 is brought into contact with the layer 1, another layer is further provided therebetween, a nonmagnetic layer 5 is used as the layer having high matching properties as shown, and the layer 2 may be provided as the layer therebetween.

COPYRIGHT: (C)1992,JPO&Japio

## ⑫ 公開特許公報(A) 平4-42513

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月13日

H 01 F 19/02  
1/34  
10/26  
17/04  
41/02

Z 8123-5E  
7371-5E  
9057-5E  
F 8123-5E  
L 8123-5E  
D 2117-5E

審査請求 未請求 請求項の数 16 (全11頁)

⑮ 発明の名称 インダクタンス部品およびその製造法

⑯ 特 願 平2-150931

⑰ 出 願 平2(1990)6月8日

⑱ 発 明 者 井 端 昭 彦 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑱ 発 明 者 松 谷 伸 哉 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑱ 発 明 者 川 又 肇 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
⑳ 代 理 人 弁理士 栗野 重幸 外1名

## 明 細 書

## 1. 発明の名称

インダクタンス部品およびその製造法

## 2. 特許請求の範囲

- (1) フェライト磁性層が絶縁体層、誘電体層または非磁性体層のうちの少なくとも1種類以上の層あるいはこれらの混合体層を介して積層した磁性体にコイルを設けて構成したインダクタンス部品。
- (2) フェライト磁性層がフェライトめっき膜である請求項1記載のインダクタンス部品。
- (3) フェライト磁性層がフェライト焼結膜である請求項1記載のインダクタンス部品。
- (4) フェライト粉末を成形して磁性層を形成し、絶縁体粉末、誘電体粉末、非磁性体粉末またはこれらの混合粉末を成形して、絶縁体層、誘電体層、非磁性体層または混合体層の少なくとも1種類以上の層を形成することを交互に繰り返して、積層した成型体を高温処理した磁性体に、コイルを設けるインダクタンス部品の製造法。

- (5) 絶縁体粉末、結合剤および溶剤を混合した混

練物をシート状に成形した絶縁体シートや、誘電体粉末、結合剤および溶剤を混合した混練物をシート状に成形した誘電体シートや、非磁性体粉末、結合剤および溶剤を混合した混練物をシート状に成形した非磁性体シートまたはこれらの混合体粉末、結合剤および溶剤を混合した混練物をシート状に成形した混合体シートの少なくとも1種類以上のシートとフェライト粉末、結合剤および溶剤を混合した混練物をシート状に成形した磁性シートを交互に積層した後、高温処理して形成した磁性体に、コイルを設けるインダクタンス部品の製造法。

- (6) フェライト粉末、結合剤および溶剤を混合した混練物をシート状に成形し、絶縁体粉末、誘電体粉末および非磁性体粉末の1種類以上を含む粉末、結合剤および溶剤を混合した混練物を磁性シートに塗布して積層した後、高温処理して形成した磁性体に、コイルを設けるインダクタンス部品の製造法。

- (7) フェライト粉末、結合剤および溶剤を混合し

た混練物をシート状に成形し高温処理した後、絶縁体、誘電体あるいは非磁性体の内の1種類以上を介して積層して形成される磁性体に、コイルを設けるインダクタンス部品の製造法。

(8) 積層が平面状にシートを積み重ねたものである請求項5、6または7項記載のインダクタンス部品の製造法。

(9) 積層が渦巻状にシートを巻き付けたものである請求項5、6または7項記載のインダクタンス部品の製造法。

(10) 基体にフェライト粉末および溶剤を混合した混練物を塗布した後、高温処理して基体表面にフェライト層を形成した基体を積層して形成される磁性体に、コイルを設けるインダクタンス部品の製造法。

(11) 基体が絶縁体、誘電体あるいは非磁性体の1種類以上からなる請求項10記載のインダクタンス部品の製造法。

(12) フェライト粉末および溶剤を混合した混練物にさらに焼結助剤あるいは結合剤の1種類以上を

含んでいる請求項10記載のインダクタンス部品の製造法。

(13) 基体に少なくとも第1鉄イオンを含んだ溶液を接触させて基体表面にフェライトめっき膜を形成した基体を積層して形成される磁性体に、コイルを設けるインダクタンス部品の製造法。

(14) 基体が絶縁体、誘電体あるいは非磁性体の1種類以上からなる請求項13記載のインダクタンス部品の製造法。

(15) 第1鉄イオンを含んだ溶液と第1鉄イオンを酸化するための酸化剤を含んだ溶液を基体に接触させる前に混合した後、基体に接触させて基体表面にフェライトめっき膜を形成する請求項13記載のインダクタンス部品の製造法。

(16) 溶液を50℃から沸点以下に加熱した後、順次溶液を基体に接触させて基体表面にフェライトめっき膜を形成する請求項13記載のインダクタンス部品の製造法。

### 3. 発明の詳細な説明

#### 産業上の利用分野

本発明は、高周波数で動作するのに適したインダクタンス部品に関し、特に電力損失（鉄損）が非常に小さい電源トランス用のインダクタンス部品およびその製造法に関するものである。

#### 従来の技術

インダクタンス部品に多用される磁性材料として、フェライトがある。フェライトは各種通信機器、民生用機器などのコイル、トランスなどのインダクタンス部品に多用されているが、近年、動作周波数が増加する傾向にあり、高周波で十分使用できる性能を有するインダクタンス部品が要求されている。

インダクタンス部品として要求される重要な特性に鉄損があり、動作する周波数領域で十分に小さい鉄損のインダクタンス部品が求められている。

これまでに種々の改善によって鉄損の減少がなされており、例えば、フェライトトランスコア材料として主要なMnZn系フェライト材料に種々の元素を添加することによって鉄損を低減（特開昭61-42104号公報あるいは特開昭61-42105号公報

など）している。しかし、まだまだ十分実用できる損失レベルではない。

一方、低周波用トランスとして珪素鋼板を積層したコアを用いているが、近年要求されている高い周波数では使用できない鉄損となっており、さらに各種アモルファスの軟磁性材料からなる積層コアを用いた例もあるが、価格的な問題、生産性等から広く使用できるものではない。

#### 発明が解決しようとする課題

前述したように、これまで鉄損の減少に対して種々の改善が提案されているが、実用的な観点からみるとまだまだ不十分であり、そのため、高周波数で動作する各種電子部品等への適用等に関して大きな課題があった。

#### 課題を解決するための手段

以上の課題を解決するために本発明は、絶縁体層、誘電体層または非磁性体層の少なくともいずれか1種類以上の層あるいはこれらの混合体の層とフェライト磁性層を交互に積層して形成される磁性体に、コイルを設けてインダクタンス部品と

したものである。

#### 作用

前述した構造のインダクタンス部品にすることによって、つまり絶縁体層、誘電体層または非磁性体層の少なくとも1種以上の層あるいはこれらの混合体の層とフェライト磁性層を交互に積層した後、コイルを設けてインダクタンス部品とすることによって、これまでのインダクタンス部品では得られなかったコストの低減、および高周波数で動作したときの非常に小さい鉄損を可能にすることができる。

#### 実施例

以下、本発明の実施例について説明する。

本発明のインダクタンス部品は、絶縁体層、誘電体層または非磁性体層の少なくともいずれか1種以上の層あるいはこれらの混合体の層とフェライト磁性層を交互に積層して形成される磁性体に、コイルを設けて得られるインダクタンス部品である。この絶縁体層とは主として絶縁体で形成した層をいい、誘電体層および非磁性体層も同様であ

る。磁性体あるいは非磁性体層さらにはこれらの混合体の層あるいは2種以上の層に置き換えても同様に、鉄損が非常に小さい。

第3図に示した本発明のインダクタンス部品に用いる磁性体15はフェライト磁性層1と整合性のよい層をフェライト磁性層1と接触させ、その間にさらに別の層を設ける構造である。第3図の場合は整合性のよい層として非磁性体層5を用い、その間の層としては絶縁体層2を用いたものである。このように、第3図は3種類の層を積層した構造の磁性体15である。

第4図は基体6の表面にフェライト磁性層1を形成した磁性体15の断面を示した図である。この場合、基体6の表面全面あるいは片面等にフェライト磁性層1を形成すればよい。このフェライト磁性層1としては、フェライトめっき膜、フェライト粉末を固定化した層あるいはフェライト焼結膜などがある。第5図は第4図に示した基体6の表面にフェライト磁性層1を形成したEE形の磁性素体7を積層した本発明のインダクタンス部品

る。さらに、これらの混合物から形成した層であってもよい。第1図に本発明のインダクタンス部品の1例のトランスの概略図を示す。第1図はEE1型の磁性体を用いたトランスを示す。1がフェライト磁性層であり、2が絶縁体層でこれらで日字の磁性体15を形成している。3は1次コイルであり、4は2次コイルである。第2図および第3図は第1図のフェライト磁性層1および絶縁体層2で構成する磁性体15の積層状態を示す部分的拡大図である。第1図ではフェライト磁性層1が12層の場合を示したが第2図はフェライト磁性層1が3層であり、第3図はフェライト磁性層1が2層である。5は非磁性体層である。第2図に示すように、本発明のインダクタンス部品を構成する磁性体15のフェライト磁性層1が絶縁体層2を介した積層構造である。このような構造であるため、高周波数で動作させたときの磁性体自身の損失、鉄損が非常に小さい。また、後述するようにフェライト磁性層1の厚みと鉄損は密接に関係する。第2図に示した絶縁体層2の代りに誘電

体の磁性体の部分の積層例を示した分解斜視図である。第5図に示したフェライト磁性層1を有する磁性素体7を積層したインダクタンス部品は、構造的には先に示した第2図のものと同様である。つまり、基体6の材質を絶縁体、誘電体または非磁性体の1種以上で構成することによって、第2図に示した構造と同様となる。

フェライト磁性層1としては、通常インダクタンス部品に多用されるMnZn系フェライト、NiZn系フェライトあるいは他のスピネル型の種々のフェライトあるいは混合物で構成すればよい。

絶縁体層2を形成する材料としては、アルミナ( $Al_2O_3$ )、ムライト( $3Al_2O_3 \cdot 2SiO_2$ )、ベリリア( $BeO$ )、ステアタイト( $MgO \cdot SiO_2$ )、フォルステライト( $2MgO \cdot SiO_2$ )、マグネシア( $MgO$ )、チタニア( $TiO_2$ )、チタニア+ジルコニア( $ZrO_2$ )、チタニア+マグネシア等の各種セラミックス、 $Al_2O_3 - SiO_2 - B_2O_3$ 、 $Al_2O_3 - PbO \cdot SiO_2 - B_2O_3$ 、 $Al_2O_3 - Mg$

$\text{O} \cdot \text{SiO}_2 \cdot \text{B}_2\text{O}_3$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{CaO} \cdot \text{MgO} \cdot \text{SiO}_2 \cdot \text{B}_2\text{O}_3$ などのガラスセラミックス、各種有機材料、ゴム、オイル、窒化物、炭化物などがある。

誘電体層を形成する材料としては、前述した絶縁体に含まれるものやチタン酸バリウム、ニオブ酸カリウムなどがある。

非磁性体層5を形成する材料としては、スピネル型のフェライトに相性のいい亜鉛フェライト、 $\alpha\text{-Fe}_2\text{O}_3$ などがある。このように、絶縁体、誘電体および非磁性体に明確に分類できず2つ以上に属する物質が多い。前述したように、以上の3層は1つの物質で必ずしも構成する必要はなく、種々の物質の混合物で形成してもよい。

基体6の材質としては、特に限定はない。いくつか例をあげると、ポリイミドフィルム、ポリエチレンテレフタレート (PET) などの各種プラスチック類、各種の有機積層板、つまり紙基材エポキシ、ガラス布基材エポキシ、ガラス基材ポリエステル、ガラス布基材テフロン等の積層板など

製した後、所定温度で高温処理して磁性体を形成した後、この磁性体にコイルを設ける方法である。

第2の方法としては、フェライト粉末とブチルカルビトール、テルピネオール、アルコールなどの溶剤、エチルセルロース、ポリビニルブチラール、ポリビニルアルコール、ポリエチレンオキサイド、エチレン-酢酸ビニルなどの結合剤、さらに、酸化剤あるいはガラス類などの焼結助剤を添加し、ブチルベンジルフタレート、ジブチルフタレート、グリセリンなどの可塑剤等を添加してもよい。これらを混合した混練物をシート状に成形して磁性シートを作製する。同様に、絶縁体粉末と結合剤および溶剤を混合した混練物をシート状に成形して、絶縁体シートを作製する。この絶縁体シートと磁性シートを交互に積層して積層体を作製し、この積層体を所定温度で高温処理して磁性体を形成した後、この磁性体にコイルを設ける方法である。

また、この積層方法としては、シートを平面状に積み重ねる (第1図などに示した積層) 方法、

がある。さらに、各種ガラス類あるいは各種セラミックス、 $\text{CuO}$ 、 $\text{NiO}$ などの金属酸化物などがある。これらの材質で構成された基体6の表面にフェライト磁性層1が存在し、このフェライト磁性層1を形成した磁性素体7を複数枚積層して1つのインダクタンス部品用の磁性体を構成する。

このように、絶縁体層、誘電体層または非磁性体層のいずれか1種以上の層とフェライト磁性層を交互に積層した構造であるため、鉄損が非常に小さく、特に高周波数においても非常に小さい鉄損であるため高周波領域で威力を発揮するインダクタンス部品用の磁性体となる。しかも、本発明のインダクタンス部品を構成する磁性体は非常に安価な材料からなる。

次に、本発明のインダクタンス部品の製造法の数例を説明する。

通常の粉体成形法と同様の方法で、フェライト粉末を成形して磁性層を形成し、次に絶縁体粉末を成形して絶縁体層を形成することを交互に繰り返して、磁性層と絶縁体層を積層した成形体を作

シートを渦巻状に巻き付ける方法あるいはシートを同心円状に巻き付ける方法などがある。さらに、このように積層した積層体を所定の形状に成形加工した後、高温処理して磁性体を形成し、この磁性体にコイルを設けてもよい。

第3の方法は、第2の方法で示した磁性シートを絶縁体粉末と結合剤および溶剤を混合した混練物とし、この混練物を磁性シートに塗布した後、磁性シートを積層し、所定温度で高温処理して磁性体を形成した後、この磁性体にコイルを設ける方法である。

第4の方法は、第2の方法で示した磁性シートを所定の温度で高温処理した後、この高温処理品を絶縁体を介して積層して形成した磁性体にコイルを設ける方法である。例えば、有機材料などの接着剤等で高温処理した磁性シートを積層する方法などがある。

以上の例では絶縁体を用いた場合を示したが、絶縁体の代りに誘電体、非磁性体およびこれらの混合体を用いてもよい。さらには、これらの単層

ではなく第3図に示したような複層構造でもよい。

第5の方法は、液状のフェライト粉末を含む混合物と基体を用いる方法である。この混合物とはこれまでと同様で、フェライト粉末と溶剤が最低構成成分である。さらに、焼結助剤、結合剤あるいは可塑性などを混合してもよい。この混合物をデッピング、印刷、塗布などの種々の方法で基体表面に付着させ、溶剤等の乾燥あるいは高温処理を行いフェライト磁性層を基体表面に形成する。このようにして得た磁性素体を積層して磁性体とし、この磁性体にコイルを設けて得る。

基体の積層方法としては、単純に基体を積み重ねる方法、積み重ねた基体をケースに入れて固定する方法、有機材料などの接着剤等で積層する方法などがある。

第6の方法は、フェライトめっき膜を用いる方法である。

フェライトめっきとは、例えば、特開昭59-111929号公報に示されているように、固体表面に、金属イオンとして少なくとも第1鉄イオンを含む

水溶液を接触させて、フェライト結晶化反応を起こし、固体表面にフェライト膜を形成することを用いる。固体が水溶液に対して耐性があれば何でもよい。さらに、温度が低温（水溶液の沸点以下）でスピネル型フェライト膜を作製できるため、他のフェライト膜作製方法に比較して固体の限定範囲が小さい。

フェライトめっき膜の形成方法としては、第1鉄イオンを含んだ溶液と第1鉄イオンを酸化するための酸化剤を含んだ溶液を基体に接触させる前に混合した後、基体に接触させてフェライトめっき膜を形成する方法、溶液を50℃～沸点以下に加熱した後、基体に接触させてフェライトめっき膜を形成する方法、第1鉄イオンを含んだ溶液を基体に接触させた後、次に酸化剤を含んだ溶液を基体に接触させることを繰り返して、フェライトめっき膜を形成する方法あるいは基体にレーザーを照射してフェライトめっき膜を形成する方法などがあり、さらにこれらの方法をいくつか組み合わせる方法でフェライトめっき膜を形成してもよい。

以上の方法でフェライトめっき膜を形成した基体の積層方法としては、第5の方法と同様である。

さらに、フェライトめっき膜の形成方法の代表例を図を用いて説明する。フェライトめっき装置の概略図を第6図に示す。6はフェライト膜を形成する基体である。8は基体6を取り付けて、回転する回転台である。9はめっき液を基体6に供給するためのノズルである。このノズル9によって、液を滴下あるいは噴霧状等で供給する。めっきに必要な液はいくつかに分割し、この図では2分割した場合を示す。10および11は、各めっき液を貯蔵するタンクである。フェライトめっき反応部分はケース12内にあり、ケース12内に非酸化性（例えば窒素）ガスを送ることによって、非酸化性雰囲気中でめっきをすることもできる。タンク10には第1鉄イオンを含む水溶液（反応液）を入れて、タンク11には、例えば酸化剤として亜硝酸ナトリウム  $\text{NaNO}_2$  を用い、さらに緩衝剤として酢酸アンモニウム  $\text{CH}_3\text{COONH}_4$  を入れた水溶液（酸化液）を入れ、ポンプ等で各液を装置内

に送り込む。途中に予熱部13を設けて各めっき液を所定温度に予熱した後、混合部14で2つのめっき液を混合して、ノズル9を通して基体6に供給する。反応液にさらにNiイオンおよびZnイオンが含まれると膜はNi-Zn系フェライト膜となり、MnイオンおよびZnイオンが含まれると膜はMn-Zn系フェライト膜となる。回転台8を回転させて、各液を供給する。回転台8は、ヒーター等により50～100℃程度に加熱する。このようにして、基体6の表面にフェライトめっき膜を形成する。

第6図では、めっきに必要な液を2つに分けた場合を示したが、3液に分ける方法でもよい。3液に分割する方法としては、例えば1つ目の液は前述した反応液で、2つ目の液は第1鉄イオンを酸化するための酸化剤だけを溶解した液（酸化液）である。3つ目の液はフェライト生成反応時のpHの調整あるいは鉄以外の他の元素をフェライト膜に取り込みやすくするための緩衝剤あるいは錯化剤として酢酸アンモニウム  $\text{CH}_3\text{COONH}_4$ 。

を溶解した液(調整液)である。この液は、必要に応じて、アンモニア水 $\text{NH}_4\text{OH}$ あるいは水酸化ナトリウム $\text{NaOH}$ 等のアルカリをさらに溶解して $\text{pH}$ を調整してもよい。これらのめっき液の基体6への供給方法としては、調整液を連続的に供給した状態で、さらに反応液と酸化液を交互に繰り返し供給する方法あるいは反応液と調整液を供給した後、酸化液を供給することを繰り返し供給する方法などがある。

前述した例は、酸化剤を用いる方法であるが、たとえば酸化剤を用いずにケース12内に窒素と酸素の混合ガスあるいは空気を供給して、酸素によって酸化させてもよい。

本発明のインダクタンス部品のコイル作製方法としては、巻線線を施したボビンを磁性体15に装着する方法あるいは磁性体15の表面全体を絶縁処理して磁性体15に直接コイルを形成する方法、絶縁シートにプリントコイルを形成したものを単体または積層したものをを用いる方法などがある。

次に本発明の更に具体的な実施例について説明

ルベンジルフタレート重量比で20:1:1の割合で混合したものを10gとガラス粉末(粉末組成は $\text{BaO}$ : 23wt%,  $\text{SiO}_2$ : 44wt%,  $\text{ZnO}$ : 16wt%,  $\text{BaO}$ : 8wt%, 平均粒径は $1\mu\text{m}$ )を30gとを混合し、ペースト状の混練物を作製した。この混練物をドクターブレード法で厚み $10\mu\text{m}$ のガラスシートを作製した。

磁性シートAおよびBをそれぞれ複数枚用いて、磁性シートのみ積層した後、積層した磁性シート間にガラスシートを挟み積層磁性シートが5層になるまで積み重ねた。これらの積層体を窒素雰囲気下において $1200^\circ\text{C}$ で1時間保持する高温処理した。

この高温処理品に1次コイルおよび2次コイルを巻線し、交流磁気特性測定装置を用いて、最大磁束密度500G、周波数1MHzで鉄損を測定した。1層の磁性シートの厚みと鉄損の関係を第7図に示す。第7図に示すように、A粉を用いた場合は磁性層の厚みが $1\text{mm}$ 以下で非常に鉄損が小さくなり、B粉の場合は $2.8\text{mm}$ 以下から減少している。

する。

#### (実施例1)

$\text{MnO}$  30mol%,  $\text{ZnO}$  19mol%,  $\text{Fe}_2\text{O}_3$  51mol%を混合した粉末を大気中にて $1300^\circ\text{C}$ で2時間保持した後、窒素中で冷却する仮焼成(A処理)を行った。同じ混合粉末を大気中にて $800^\circ\text{C}$ で2時間保持した後、窒素中で冷却する仮焼成(B処理)を行った。これらのAおよびB処理をしたものをそれぞれ粉砕・分級し、平均粒径 $3\mu\text{m}$ のMnZn系フェライトA粉(A処理品)とB粉(B処理品)を準備した。

次に、ブチルカルビトール、エチルセルロースおよびブチルベンジルフタレートを重量比で20:1:2の割合で混合したものを10gと先に準備したMnZn系フェライトA粉を30gとを混合し、ペースト状の混練物を作製した。この混練物をドクターブレード法で厚み $100\mu\text{m}$ の磁性シートAを作製した。同様にMnZn系フェライトB粉を用いて、磁性シートBを作製した。

テルピネオール、エチルセルロースおよびブチ

特に、A粉およびB粉とも約 $1\text{mm}$ 以下では鉄損が非常に小さい値を示している。

先ほどのガラス粉末の代りに、酸化チタン粉末、チタン酸バリウム粉末、亜鉛フェライト粉末および酸化アルミニウム粉末の各粉末を用いて同様に積層体を作製し、高温処理して、鉄損を測定したところ、第7図に示したガラス粉末の場合と同様の値を示した。

また、NiZn系フェライトの場合も同様であった。

#### (実施例2)

実施例1に示したB粉と同条件で作製した(以下、フェライト粉はこの条件)MnZn系フェライト粉末(粉末組成は $\text{MnO}$  37mol%,  $\text{ZnO}$  10mol%,  $\text{Fe}_2\text{O}_3$  53mol%, 平均粒径は $5\mu\text{m}$ )が1gとポリビニルアルコールの水溶液(5wt%溶液)が0.1gを混合して、円筒成型体を得るための外径が $14\text{mm}$ で、内径が $10\text{mm}$ の空洞部を有する金型に、混合した粉末を0.1g入れ、薄板状の円筒成型体を作製した。次に、ガラス粉末(粉末組成は $\text{SiO}_2$  40wt%,



Al<sub>2</sub>O<sub>3</sub> 5wt%, BaO 25wt%, PbO 20wt%, 平均粒径は1 μm) を1 g とポリビニルアルコールの水溶液(5wt%溶液) を0.1 g とを混合して、金型内の成型体の上に0.1 g 入れて円筒成型体を作製した。このことを繰り返してフェライト層を10層にした。この成型体を窒素中にて1200℃で1時間保持する高温処理を行った。

この高温処理品を実施例1と同様に、鉄損を測定したところ、本発明のインダクタンス部品の鉄損は約250mW/cm<sup>2</sup>であった。本発明のインダクタンス部品は高周波数においても非常に鉄損の小さい部品であった。

先ほどのガラス粉末の代りに、酸化チタン粉末、チタン酸バリウム粉末、亜鉛フェライト粉末および酸化アルミニウム粉末の各粉末を用いて同様に成型体を作製し、高温処理して、鉄損を測定したところガラス粉末の場合と同様の値を示した。

#### (実施例3)

NiZn系フェライト粉末(粉末組成はNiO 25mol%, ZnO 25mol%, Fe<sub>2</sub>O<sub>3</sub> 50mol%, 平均粒径は4

μm) を1 g とポリビニルアルコールの水溶液(5wt%溶液) を0.1 g とを混合して、実施例1で用いた同様の金型で外径が13mm、内径が9mmの空洞部を有する金型に、混合した粉末を0.1 g 入れ円板状の円筒成型体を作製した。次に、ガラス粉末(粉末組成はSiO<sub>2</sub> 50wt%, Al<sub>2</sub>O<sub>3</sub> 5wt%, BaO 25wt%, B<sub>2</sub>O<sub>3</sub> 5wt%, 平均粒径は1 μm) を1 g とポリビニルアルコールの水溶液(5wt%溶液) を0.1 g とを混合して、金型内の円筒成型体の上に0.1 g 入れて円筒成型体を作製した。このことを繰り返してフェライト層が10層になるまで行った。この成型体を大気中にて1200℃で1時間保持する高温処理を行った。

この高温処理品を実施例1と同条件で鉄損を測定したところ、鉄損は約300mW/cm<sup>2</sup>であった。

ガラス粉末の代りに、酸化チタン粉末、チタン酸バリウム粉末、亜鉛フェライト粉末および酸化アルミニウム粉末の各粉末を用いて同様に成型体を作製し、高温処理品の鉄損を測定したところガラス粉末の場合と同様の値を示した。

#### (実施例4)

ブチルカルビトール、エチルセルロースおよびブチルベンジルフタレート重量比で20:1:2の割合で混合したものを10 g とMnZn系フェライト粉末(粉末組成はMnO 30mol%, ZnO 19mol%, Fe<sub>2</sub>O<sub>3</sub> 51mol%で、平均粒径3 μm) を30 g とを混合し、ペースト状の混練物を作製した。この混練物をドクターブレード法で厚み100 μmの磁性シートを作製した。同様に、テルビネオール、エチルセルロースおよびブチルベンジルフタレートを重量比で20:1:1の割合で混合したものを10 g とガラス粉末(粉末組成はB<sub>2</sub>O<sub>3</sub> 23wt%, SiO<sub>2</sub> 44wt%, ZnO 16wt%, BaO 8wt%, 平均粒径は1 μm) を30 g とを混合し、ペースト状の混練物を作製した。この混練物をドクターブレード法で厚み10 μmのガラスシートを作製した。この磁性シートとガラスシートを交互に積層し、磁性シートが10層になるまで積み重ねた。この積層体に窒素雰囲気下で1200℃で1時間保持する高温処理を施した。

得られた高温処理品をこれまでと同様に、鉄損を測定したところ、鉄損は約200mW/cm<sup>2</sup>であった。本発明のインダクタンス部品は高周波数においても非常に鉄損の小さい磁性体であった。

ガラス粉末の代りに、酸化チタン粉末、チタン酸バリウム粉末、亜鉛フェライト粉末および酸化アルミニウム粉末の各粉末を用いて同様にシートを作製して、高温処理して、鉄損を測定したところガラスの場合と同様の値を示した。

#### (実施例5)

テルビネオール、ポリビニルブチラールおよびブチルベンジルフタレートを重量比で20:1:2の割合で混合したものを10 g とNiZn系フェライト粉末(粉末組成はNiO 20mol%, ZnO 30mol%, Fe<sub>2</sub>O<sub>3</sub> 50mol%, 平均粒径は3 μm) を30 g とを混合し、ペースト状の混練物を作製した。この混練物をドクターブレード法で厚み80 μmの磁性シートを作製した。同様に、テルビネオール、ポリビニルブチラールおよびブチルフタレートを重量比で20:1:2の割合で混合したものを10 g

とガラス粉末(粉末組成は $\text{PbO}$  60mol%,  $\text{BaO}$  10mol%,  $\text{Al}_2\text{O}_3$  20mol%、平均粒径は $1\mu\text{m}$ )を30gを混合し、ペースト状の混練物を作製した。この混練物をドクターブレード法で厚み $8\mu\text{m}$ のガラスシートを作製した。この磁性シートとガラスシートを交互に積層し、磁性シートが10層になるまで積み重ねた。この積層体に大気中で $1200^\circ\text{C}$ で1時間保持する高温処理を施した。

得られた高温処理品をこれまでと同様に、鉄損を測定したところ、鉄損は約 $220\text{mW}/\text{cm}^2$ であった。本発明のインダクタンス部品は高周波数においても非常に鉄損の小さい磁性体であった。

#### (実施例6)

ブチルカルビトールおよびエチルセルロースを重量比で20:1の割合で混合したものを10gとガラス粉末(粉末組成は $\text{BaO}$  23wt%,  $\text{SiO}_2$  44wt%,  $\text{ZnO}$  16wt%,  $\text{BaO}$  8wt%、平均粒径は $1\mu\text{m}$ )を30gを混合し、ペースト状の混練物を作製した。この混練物を実施例4で作製した磁性シートに塗布して、渦巻状に巻き、磁性シートが10層になる

1時間保持する高温処理を施した。

得られた高温処理品をこれまでと同様に、鉄損を測定したところ、鉄損は約 $190\text{mW}/\text{cm}^2$ であった。本発明のインダクタンス部品は高周波数においても非常に鉄損の小さい磁性体であった。

ガラス粉末の代りに、酸化チタン粉末、チタン酸バリウム粉末、亜鉛フェライト粉末および酸化アルミニウム粉末の各粉末を用いて同様にペーストを作製し、高温処理して、鉄損を測定したところガラスの場合と同様の値を示した。

#### (実施例8)

実施例4で作製した磁性シートを円筒形に打ち抜いて、窒素雰囲気下で $1200^\circ\text{C}$ で1時間保持する高温処理した。

次に、高温処理した円筒薄板をケースに10層になるまで積み重ねた。こうして得たインダクタンス部品をこれまでと同様に、鉄損を測定したところ、鉄損は約 $180\text{mW}/\text{cm}^2$ であった。

先ほどの測定したインダクタンス部品のケースにシリコンオイルを充填して同様に鉄損を測定し

まで積み重ねた。この積層体に窒素雰囲気下で $1200^\circ\text{C}$ で1時間保持する高温処理を施した。

得られた高温処理品をこれまでと同様に、鉄損を測定したところ、鉄損は約 $180\text{mW}/\text{cm}^2$ であった。本発明のインダクタンス部品は高周波数においても非常に鉄損の小さい磁性体であった。

ガラス粉末の代りに、酸化チタン粉末、チタン酸バリウム粉末、亜鉛フェライト粉末および酸化アルミニウム粉末の各粉末を用いて同様にペーストを作製し、高温処理して、鉄損を測定したところガラスの場合と同様の値を示した。

#### (実施例7)

ブチルカルビトールおよびエチルセルロースを重量比で20:1の割合で混合したものを10gとガラス粉末(粉末組成は $\text{BaO}$  18wt%,  $\text{SiO}_2$  49wt%,  $\text{ZnO}$  16wt%,  $\text{BaO}$  8wt%、平均粒径は $1\mu\text{m}$ )を30gを混合し、ペースト状の混練物を作製した。この混練物を実施例5で作製した磁性シートに塗布して、渦巻状に巻き、磁性シートが10層になるまで積み重ねた。この積層体に大気中で $1200^\circ\text{C}$ で

1時間保持する高温処理を施した。

#### (実施例9)

実施例5で作製した磁性シートを円筒形に打ち抜いて、大気中で $1200^\circ\text{C}$ で1時間保持する高温処理した。

次に、高温処理した円筒薄板をケースに10層になるまで積み重ねた。こうして得たインダクタンス部品をこれまでと同様に、鉄損を測定したところ、鉄損は約 $200\text{mW}/\text{cm}^2$ であった。

先ほどの測定したインダクタンス部品のケースにシリコンオイルを充填して同様に鉄損を測定したところ、鉄損は約 $160\text{mW}/\text{cm}^2$ であった。

#### (実施例10)

ブチルカルビトールとエチルセルロースを重量比で20:1の割合で混合したものを3gと $\text{MnZn}$ 系フェライト粉末(粉末組成は $\text{MnO}$  35mol%,  $\text{ZnO}$  15mol%,  $\text{Fe}_2\text{O}_3$  50mol%、平均粒径は $5\mu\text{m}$ )を10g混合し、ペースト状にした。このペーストをアルミナ基体に塗布して、 $200^\circ\text{C}$ で乾燥した。

前述した方法でアルミナ基体10枚にフェライト

層を形成し、単純に10枚を重ね合わせてインダク

[illegible]

さらに、これらの

[illegible][illegible]

[8] Moreover, it is not possible to find a  $\delta$  such that

これらの格差を用いて、第 6 図に示すような

めつき膜を形成し、単純に10枚を重ね合わせて7

を用いて、最大磁束密度 500 G、周波数 1 MHz で

鉄損を測定したところ、鉄損は約 20mW/cm<sup>2</sup>であっ

Dec. 5, 2002

It is made in relation to the different conditions of the three layers, 152C, 152B and 152A. However, even if the insulating layer 152C is made in relation to the different conditions of the three layers, 152C, 152B and 152A, the same effects are obtained. In any of the cases, the same effects are obtained. 152A, 152B and 152C are made in relation to the different conditions of the three layers, 152C, 152B and 152A.

[0144] By making such changes as described above, this helps reduce the EMI noise more effectively.

can be substituted for an oscillator. The frequency of the resonant circuit can be set at a value that is not in resonance with the frequency of the applied field. The resonant frequency of a parallel LC circuit is given by

[illegible]

The resonant frequency included in the impedance characteristic of the second built-in capacitor is brought into coincidence with the operating frequency of the semiconductor device 159, and the resonance frequency of the second built-in capacitor is brought into coincidence with the operating frequency of the semiconductor device 159, and the resonance frequency of the second built-in capacitor is brought into coincidence with the operating frequency of the semiconductor device 159.

[0140] In this embodiment the insulating layer 152A, which has a grid 152B and is made of an insulating material 152C which has on its top surface the grid 152B, is disposed on the first built-in capacitor 154. By so doing, the first built-in capacitor 154 is formed between the power source winning layer 155 and the ground winning layer 156. Hence, as shown in FIG. 3, the impedance characteristics are such that the built-in capacitor 154 has a resonance frequency which is lower than the resonance frequency of the capacitor 153. In this embodiment, the resonance frequency of the capacitor 154 is made to be lower than the resonance frequency of the capacitor 153. Therefore, the impedance characteristics of the built-in capacitor 154 are such that the built-in capacitor 154 has a resonance frequency which is lower than the resonance frequency of the capacitor 153.

アルミナ基体の代りに、 $MgO \cdot SiO_2$ 、 $M$

$$\text{H}_2\text{O} : \text{BeO} : \text{Al}_2\text{O}_3 - \text{SiO}_2 \cdot \text{B}_2\text{O}_3$$

US 2002/0181185 A1

ガラスセラミックス基体、石英ガラス板、ポリイ

[illegible][illegible]

[0136] FIG. 11 is a sectional view of a multi-layer wiring board according to the seventh embodiment of the invention. In FIG. 11, reference numeral 151 represents the multi-layer wiring board, and 152 represents an insulating substrate. The insulating substrate 152 is constituted by a plurality of insulating layers 152a to 152e on top of each other. In the multi-layer wiring board 151 of this embodiment, the insulating layers 152a to 152c, and 152e are made of insulating materials that are basically identical with each other in relative dielectric constant. On the insulating layer 152b is formed a group of signal wiring lines 153, and on the insulating layer 152c is formed a wider-area source wiring layer and/or ground wiring layer 154 so as to oppose the group of signal wiring lines 153. Thus, the group of signal wiring lines 153 takes on a micro-strip line structure.

[0137] Note that a plurality of the signal wiring lines, 153, may be so arranged in the group of signal wiring lines 153, as shown in FIG. 12.

[013] With this structure, it is possible to secure a sufficiently wide setting frequency range for the resonance frequency included in the impedance characteristic of the capacitor and a plurality of the ball-in-encapsulators are made different from each other in resonance frequency by varying the thickness of the insulating layer. This makes it possible to cope with the semiconductor device 139 operating at increasing higher speed.

の構成を示す要部の斜視図、第4図は他の例の磁

部品の構造体の部分の集積構造を示した分解斜視図。This helps in the identification of the parts of the structure. The operating frequency of the semiconductor device 139, resonance frequency can be established in accordance with the structure of the parts of the structure.

set at a desired value.

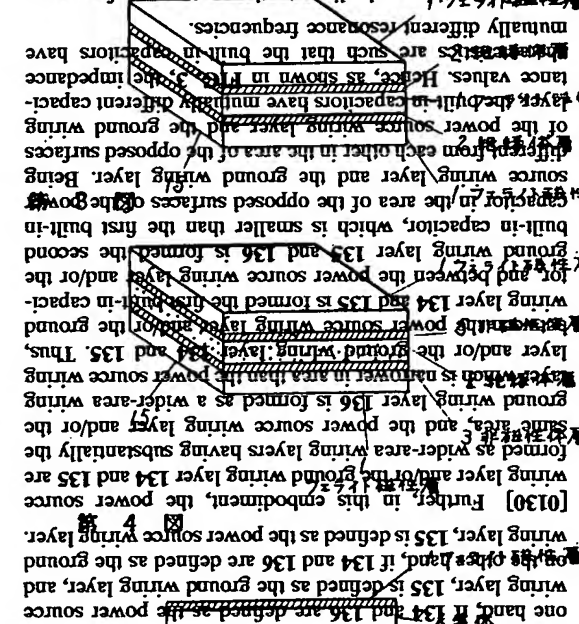
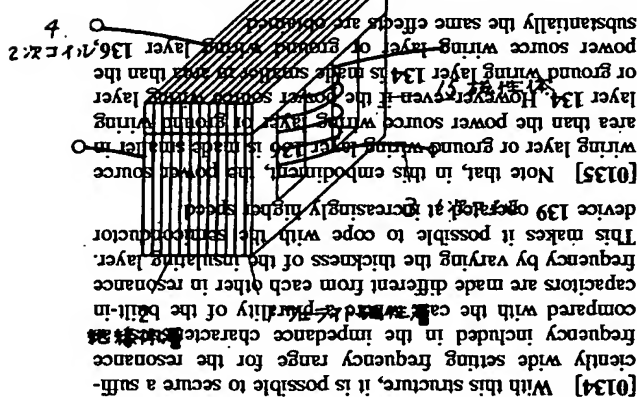
[0132] Further, the component can be set at a desired value.

FIG. 10 is a graph showing the relationship between the frequency of the resonance occurring between those resonance frequencies is set to be equal to or less than a predetermined value. Thus, in the range from the band of the semiconductor device 139 to the frequency band of the semiconductor device 140, the value can be made smaller over a wider frequency band. In particular, the component can be set to be a value less than anti-resonance frequency to be 1 or below, the inductance components included in the power source winding layer and/or the ground wiring layer 139 are decreased considerably. Thus, even in the high-frequency region where the semiconductor device 139 and the semiconductor device 140 are connected, the simultaneous switching noise can be suitably reduced in the connection manner.

[0133] FIG. 11 is a graph showing the relationship between the frequency of the resonance occurring between those resonance frequencies is set to be equal to or less than a predetermined value. Thus, in the range from the band of the semiconductor device 139 to the frequency band of the semiconductor device 140, the value can be made smaller over a wider frequency band. In particular, the component can be set to be a value less than anti-resonance frequency to be 1 or below, the inductance components included in the power source winding layer and/or the ground wiring layer 139 are decreased considerably. Thus, even in the high-frequency region where the semiconductor device 139 and the semiconductor device 140 are connected, the simultaneous switching noise can be suitably reduced in the connection manner.

included in the impedance characteristics of the first built-in capacitor is through its coincidence with the band of the operating frequency of the semiconductor and the resonance frequency included in the impedance characteristics of the second built-in capacitor is brought into coincidence with the frequency band of the harmonic component. The resonance frequency included in the impedance characteristics of the built-in capacitor can be arbitrarily set by varying the capacitance value for the built-in capacitor constituted by the wider-area power source wiring layer and/or ground wiring layer 134 to 136. In this embodiment, the capacitance value for the built-in capacitor is varied by varying the areas of the wider-area wiring layers constituting the power source wiring layer and/or the ground wiring layer 134 to 136. In this way, the resonance frequency included in the impedance characteristics of the built-in capacitor can be

one hand, in 134 and 136 are defined as the power source winding layer, 135 is defined as the ground winding layer, and winding layer 134 and 136 are defined as the power source winding layer and/or the ground winding layer, 135 are formed as wider-area winding layers having substantially the same area, and the power source winding layer and/or the ground winding layer 136 is formed as a wider-area winding layer which is narrower in area than the power source winding layer and/or the ground winding layer 134 and 135. Thus, the wider-area power source winding layer and/or the ground winding layer 134 and 135 is formed the first unit in the capacitor, and the first unit in the capacitor and the power source winding layer and/or the ground winding layer 136 is formed the second unit in the capacitor, which is smaller than the first unit in the capacitor, in the area of the opposed surfaces of the opposed source winding layer and the ground winding layer. Being disposed from each other in the area of the opposed surfaces of the opposed source winding layer and the ground winding layer, the opposed source winding layer and the ground winding layer have mutually different capacitance values. Hence, as shown in FIG. 3, the impedance of the capacitor is such that the built-in capacitors have mutually different resonance frequencies.



## 第 6 図

to the multi-layer wiring board 81 embodying the invention, a plurality of the built-in capacitors having different resonance frequencies are arranged in juxtaposition. This arrangement allows each of the built-in capacitors to have its own resonance frequency which is arbitrarily set within the range from the operating frequency band of the semiconductor device 89 to the frequency band of the harmonic component. In the example shown in FIG. 3, the resonance frequency included in the impedance characteristics of the first built-in capacitor is brought into coincidence with the band of the operating frequency of the semiconductor device 89, and the resonance frequency included in the impedance characteristics of the second built-in capacitor is brought into coincidence with the frequency band of the harmonic component. The resonance frequency included in the impedance characteristics of the built-in capacitor can be arbitrarily set by varying the capacitance value for the built-in capacitor constituted by the wider-area power source wiring layer and/or ground wiring layer 84 to 86. In this example, the capacitance value for the built-in capacitor is varied by varying the thickness of the insulating layers 82c and 82d, on which the power source wiring layer and/or the ground wiring layer 84, 85 are formed. In this way, the resonance frequency included in the impedance characteristics of the built-in capacitor can be set at a desired value. Note that in this example, the insulating layer 82d having thereon the first second built-in capacitor is made 1.5 times larger in thickness than the insulating layer 82c having thereon the first built-in capacitor.

[0122] Further, the composite impedance at the anti-resonance frequency occurring between those resonance frequencies is set to be equal to or less than a predetermined value. Thus, in the range from the band of the operating frequency of the semiconductor device 89 to the frequency band of the harmonic component, the composite impedance value can be made smaller over a wider frequency band. Here, the composite impedance value, which is observed at the anti-resonance frequency occurring between the resonance frequencies included in the impedance characteristics of a plurality of the built-in capacitors, can be arbitrarily set in accordance with the capacitance values for the individual built-in capacitors and the number of the built-in capacitors. In the multi-layer wiring board 81 embodying the invention, the composite impedance value is determined appropriately, in accordance with the operating frequency of the semiconductor device 89 and the required amount of the stimulus without noise, so that the requirements for desired characteristics are satisfied.

[0123] Moreover, by setting the composite impedance value at the anti-resonance frequency to be 1  $\Omega$  or below, the inductance component included in the power source wiring layer and/or the ground wiring layer 84 to 86 can be decreased considerably. Thus, even in the high-frequency region where the semiconductor device 89 is operated at a frequency greater than several GHz, the simultaneous switching noise can be sufficiently reduced in an effective manner. Setting the composite impedance value at 1  $\Omega$  or below is effective at the operating frequency of the semiconductor device 89 falling in a range from 1 to 10 GHz. In this case, the frequency of the harmonic component is kept in a range from 5 to 50 GHz on the basis of a value 5 times higher than the operating frequency of the semiconductor device 89.

[0124] Note that the anti-resonance frequency, which is included in the impedance characteristics of the built-in capacitor constituted by the wider-area power source wiring layer and/or ground wiring layer 84 to 86 formed within the multi-layer wiring board 81, coincides with the operating frequency of the semiconductor device 89, EMI noise tends to be increased. In light of this, in the built-in capacitor, the anti-resonance frequency should preferably be set at a value incoincident with the operating frequency of the semiconductor device 89. This helps reduce the EMI noise more effectively.

[0125] In the multi-layer wiring board 81 embodying the invention, the resonance frequencies included in the impedance characteristics of a plurality of the built-in capacitors are set appropriately, whereby making it possible to set the anti-resonance frequency at a value incoincident with the operating frequency of the semiconductor device 89. This helps reduce the EMI noise more effectively.

[0126] Next, with reference to FIGS. 10 and 11, a description will be given as to the multi-layer wiring board according to a sixth and a seventh embodiment of the invention. FIG. 10 is a sectional view showing the multi-layer wiring board according to the sixth embodiment of the invention. In FIG. 10, reference numeral 131 represents the multi-layer wiring board, and 132 represents an insulating substrate. The insulating substrate 132 is constituted by stacking a plurality of insulating layers 132a to 132e on top of each other. In the multi-layer wiring board 131 of this embodiment, the insulating layers 132a to 132e are made of insulating materials that are basically identical with each other in relative dielectric constant. On the insulating layer 132b is formed a group of signal wiring lines 133, and on the insulating layer 132c is formed a wider-area power source wiring layer and/or ground wiring layer 134 so as to oppose the group of signal wiring lines 133. Thus, the group of signal wiring lines 133 takes on a micro-strip line structure.

[0127] Note that a plurality of the signal wiring lines, included in the group of signal wiring lines 133, may be so designed as to transmit mutually different electric signals.

[0128] In this embodiment, on the top surface of the multi-layer wiring board 131 is mounted a semiconductor device 139 such as a microprocessor or an ASIC. The multi-layer wiring board 131 is electrically connected to the multi-layer wiring board 131 through a conductor bump 140 made of solder such as a tin-lead alloy (Sn-Pb), or gold (Au), and a semiconductor-device connecting electrode 138 for providing connection with the semiconductor device 139. Further, the multi-layer wiring board 131 has, on its under surface opposite to the top surface, on which the semiconductor device 139 is mounted, a bottom electrode 137 for supplying electric power to the semiconductor device 139. Reference numerals 135 and 136, in common with 134, represent a wider-area power source wiring layer and/or ground wiring layer. In this embodiment, by way of the power source wiring layer and/or the ground wiring layer 134 to 136, two built-in capacitors are formed within the multi-layer wiring board 131. The built-in capacitors are arranged in juxtaposition. Hereupon, the arrangement of the power source wiring layer and the ground wiring layer 134, 135, 136 is made in such a way that the layers of different natures are arranged contiguous to each other. That is, on the

フェライトの厚さ (mm)